

[First Hit](#)[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

End of Result Set



Generate Collection

Print

L1: Entry 1 of 1

File: JPAB

Jul 9, 1999

PUB-NO: JP411186523A

DOCUMENT-IDENTIFIER: JP 11186523 A

TITLE: INSULATING MATERIAL, SUBSTRATE COVERED WITH INSULATING FILM, AND MANUFACTURE AND USE THEREOF

PUBN-DATE: July 9, 1999

INVENTOR-INFORMATION:

NAME

COUNTRY

KIJIMA, TAKESHI

MATSUNAGA, HIRONORI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

SHARP CORP

APPL-NO: JP09365431

APPL-DATE: December 19, 1997

INT-CL (IPC): H01 L 27/108; H01 L 21/8242; H01 B 3/12; H01 L 27/10; H01 L 21/8247;
H01 L 29/788; H01 L 29/792

ABSTRACT:

PROBLEM TO BE SOLVED: To form high-quality and c-axis oriented ferroelectric thin film on a Si substrate with high reproducibility.

SOLUTION: A bismuth silicate film (insulating film) 3 of Bi

COPYRIGHT: (C)1999, JPO

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-186523

(43) 公開日 平成11年(1999) 7月9日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/108

H 0 1 L 27/10

6 5 1

21/8242

H 0 1 B 3/12

3 1 8 Z

H 0 1 B 3/12

3 1 8

H 0 1 L 27/10

4 5 1

H 0 1 L 27/10

4 5 1

29/78

3 7 1

21/8247

審査請求 未請求 請求項の数16 F D (全 14 頁) 最終頁に続く

(21) 出願番号

特願平9-365431

(22) 出願日

平成9年(1997)12月19日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 木島 健

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 松永 宏典

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

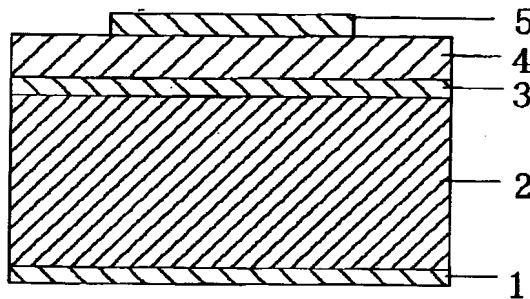
(74) 代理人 弁理士 野河 信太郎

(54) 【発明の名称】 絶縁体材料、絶縁膜被覆基板、その製造方法及びその用途

(57) 【要約】

【課題】 Si 基板上に高品質なc軸配向の強誘電体薄膜を再現性よく形成することを課題とする。

【解決手段】 Si 基板2上に(100)方向優先の配向性を有するBi₂SiO₅ からなるビスマスシリケート膜(絶縁膜)3を形成し、ビスマスシリケート膜3上に強誘電体薄膜を形成することで、c軸配向の強誘電体薄膜が再現性よく形成されたMFIS構造を得ることができる。このMFIS構造をFETに使用すれば、信頼性の高い薄膜素子を得ることができる



【特許請求の範囲】

【請求項1】 Bi_2SiO_5 中に原子濃度比 Bi/Ti が3以上で Ti を含有した結晶性物質からなる絶縁体材料。

【請求項2】 Si 基板上に、請求項1記載の絶縁体材料が絶縁膜として形成されてなることを特徴とする絶縁膜被覆基板。

【請求項3】 絶縁膜が、(100)方向優先の配向性を有する請求項2に記載の絶縁膜被覆基板。

【請求項4】 絶縁膜の上に、更に Bi 系層状構造の酸化物からなる強誘電体薄膜が形成されている請求項2又は3に記載の絶縁膜被覆基板。

【請求項5】 強誘電体薄膜が、 c 軸配向の $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ からなる請求項4に記載の絶縁膜被覆基板。

【請求項6】 強誘電体薄膜が、絶縁膜より厚い請求項5に記載の絶縁膜被覆基板。

【請求項7】 絶縁膜が、20nm以下の膜厚を有する請求項6に記載の絶縁膜被覆基板。

【請求項8】 請求項4～7のいずれか一つに記載の絶縁膜被覆基板を構成する強誘電体薄膜上面及び Si 基板の下面に電極を有し、上部電極/強誘電体薄膜/絶縁膜/ Si 基板/下部電極の構造からなることを特徴とする薄膜素子。

【請求項9】 薄膜素子の構造中、上部電極/強誘電体薄膜/絶縁膜からなる構造が、MOS-FETのゲート素子として機能する構造である請求項8の薄膜素子。

【請求項10】 薄膜素子が、強誘電体メモリ素子のメモリセルである請求項9に記載の薄膜素子。

【請求項11】 請求項2～7のいずれか一つに記載の絶縁膜が、 Bi を含む金属化合物と Ti を含む金属化合物とからなる原料を加熱気化し、これら気化ガスを、不活性キャリアガス及び酸素ガスと共に、所定温度に加熱保持した Si 基板上に、所定圧力下で、同時に供給することにより形成されることを特徴とする絶縁膜被覆基板の製造方法。

【請求項12】 Si 基板が、絶縁膜形成面において、(100)面からなる単結晶基板であり、その上に形成される絶縁膜が(100)方向優先の配向性を有する請求項11に記載の製造方法。

【請求項13】 絶縁膜が、500～600℃の Si 基板の加熱温度、5～10 Torr の圧力で形成される請求項11又は12に記載の製造方法。

【請求項14】 Bi を含む金属化合物と Ti を含む金属化合物とからなる原料を加熱気化し、これら気化ガスを、不活性キャリアガス及び酸素ガスと共に、 Si 基板を所定温度に加熱保持しつつ、(100)方向優先の配向性を有する絶縁膜上に、所定圧力下で、同時に供給することにより、 c 軸配向の $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ からなる強誘電体薄膜を形成する請求項11～13いずれか一つに記載の製造方法。

【請求項15】 強誘電体薄膜が450～600℃の Si 基板の加熱温度、2～5 Torr の圧力で形成される請求項14に記載の製造方法。

【請求項16】 (100)方向優先の配向性を有する絶縁膜の形成時の Si 基板の加熱温度が、 c 軸配向の $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ からなる強誘電体薄膜の形成時の Si 基板の加熱温度と同じである請求項14又は15に記載の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁体材料、絶縁膜被覆基板、その製造方法及びその用途に関する。本発明の絶縁体材料及び絶縁膜被覆基板は、メモリ素子、焦電素子、圧電素子等の用途に好適に使用することができる。

【0002】

【従来の技術】従来のEEPROM、フラッシュメモリ等の不揮発性メモリに比べて、強誘電体の自発分極特性を利用することにより動作速度とデータ書き換え回数を向上させる強誘電体不揮発性メモリが望まれている。この不揮発性メモリの基本となるメモリセル構造は、次の2種類の型に分かれる。

【0003】第1の型は、従来のDRAMのメモリキャパシタを強誘電体キャパシタに置き換えた型である。この第1の型は、MOSTランジスタのソース又はドレインと強誘電体薄膜の上下を電極で挟んだ強誘電体キャパシタをポリシリコンプラグ等で接続した構造を有しており、1トランジスタ・1キャパシタ型メモリセルと称される。現在、このような第1の型のメモリセルを用いた強誘電体不揮発性メモリが実用化されている。

【0004】しかしながら、将来的にメモリ容量の増大・高集積化に対応するためには、1つのトランジスタだけでメモリセルが構成された構造（以下、この構造を第2の型と称する）の実現が望まれている。ところが、実現に必要な性質を有する強誘電体材料が得られていないこと及びその形成技術が確立されていないこと等の問題から、未だに第2の型のメモリセルは実用化されていない。以下、この問題を詳細に述べる。

【0005】第2の型のメモリセルは、半導体表面に強誘電体薄膜及びゲート電極を積層したM（金属）F（強誘電体）S（半導体）構造のゲート素子を基本構造としている。ここで、実際に用いられる強誘電体薄膜は酸化物が多く、その形成時に酸化物を結晶化させるために酸化雰囲気中での高温熱処理を必要としている。従って、強誘電体薄膜の形成時に半導体（例えば、 Si ）基板との界面に低誘電率の酸化物層（例えば、 SiO_2 層）が形成されやすい。また、強誘電体薄膜と半導体基板を構成する成分同士の反応や相互拡散を避けることができないという問題がある。

【0006】従って、良好な界面状態を実現することが

極めて困難であるため、正常なMFSの特性を得ることも困難である。すなわち、半導体内部又は界面に導入された不純物や欠陥に起因して可動キャリアが発生すること等により、MFSのC-Vヒステリシス特性のフラットバンドシフトやリーク電流の増大が起こることとなる。その結果、強誘電体の特性を反映したC-Vヒステリシス特性が短時間に失われてしまい、メモリを保持することができなくなる。このように、従来のMFS構造では実際にFETを作成しても、そのメモリ保持時間は数分から数時間程度に過ぎなかった。これに対して、上記第1の型のメモリセルは、メモリ保持時間として10年以上を実現しており、第2の型のメモリセルではこのメモリ保持時間の改善が実用上の最も大きな課題である。

【0007】第2の型のメモリセルに使用される強誘電体材料としては、低電圧で分極反転（低い抗電界 E_c ）でき、分極反転の繰返しに対して強誘電特性の劣化（疲労）がない材料が望ましい。また、Si基板上に直接形成する際、構成成分同士の反応や相互拡散を抑制するために、できるだけ低温で形成可能な強誘電体材料及びその形成方法が必要となる。

【0008】第2の型のメモリセルに使用される強誘電体材料として、Bi系層状構造の酸化物からなる強誘電体材料は、疲労耐性に優れており、従来のPZTをはじめとするPb系強誘電体材料に代わるものとして期待されている。その中でも、強い異方性を持つ強誘電体 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ は、a軸方向に自発分極 $P_s=50\mu\text{C}/\text{cm}^2$ 、 $E_c=50\text{kv}/\text{cm}$ 、c軸方向に $P_s=4\mu\text{C}/\text{cm}^2$ 、 $E_c=5\text{kv}/\text{cm}$ と優れたバルク特性を有している。

【0009】このc軸方向の抗電界が小さい強誘電体材料は、第2の型のメモリセルに使用する上で有用であることから、MFS構造への適用が古くから検討されている（例えば、IEEE Trans. Electron Devices, ED-21(1974)499-504, J. Appl. Phys. 46(1975)2877-2881参照）。この文献で用いられている形成方法は、675℃以上の高温スパッタで形成することにより結晶性の薄膜を得る方法や、低温スパッタでの形成後に、650℃でアニールして結晶性の薄膜を得る方法が記載されている。

【0010】しかしながら、上記方法では、高温で形成されるため、Si基板と強誘電体薄膜との界面に酸化シリコンからなる低誘電率層が発生する。得られたMFS構造のメモリセルに電圧を印加すると、低誘電率層に印加された電圧の大部分が分配されてしまう。そのため、誘電率の大きな強誘電体薄膜にはそれ自身が分極反転するための十分な電圧を印加することが困難となる。更に、強誘電体薄膜は、c軸配向性も不十分で、かつ膜厚も1 μm 以上と厚いため、強誘電体薄膜を分極反転させるには高い電圧を印加する必要がある。また、Si基板と強誘電体薄膜との界面での反応により発生した欠陥等

に起因する電荷注入現象等により、安定してメモリ動作させることが困難であった。

【0011】そこで、より良好な強誘電体薄膜と半導体基板との界面の接合状態を実現するために、予めSi表面に比較的誘電率の大きい絶縁体材料を薄くエピタキシャル成長させた絶縁膜上に強誘電体薄膜を形成したM（金属）F（強誘電体）I（絶縁体）S（半導体）構造が検討されている。絶縁膜として、 ZrO_2 、 CeO_2 等のエピタキシャル膜が使用されている。この絶縁膜は、通常、蒸着法を用いて形成されているが、800℃以上の高温処理が必要とされている。このため、絶縁膜として CeO_2 、強誘電体薄膜として PbTiO_3 を使用したMFI S構造のメモリセル（例えば、Jpn. J. Appl. Phys. 34(1995)4163-4166 参照）では、Si基板と絶縁膜との間に SiO_2 層が発生している。また、C-Vヒステリシス特性も、約11時間を越えた辺りで劣化している。更に、絶縁膜と強誘電体薄膜とが全く異なる材料からなるため、それぞれを別の形成装置を使用して形成する必要があり、工程が煩雑になる。

【0012】上記問題を解決するために、本発明の発明者等はSi基板の表面にビスマスシリケート膜を絶縁膜として形成し、その上にc軸配向の $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ からなる強誘電体薄膜を形成する方法を報告した（特開平8-12494号公報参照）。上記方法は、まず、Si基板の表面から SiO_2 層を除去する。次に、有機金属気相堆積（MOCVD）法により、ビスマスシリケート（ Bi_2SiO_5 、 $\text{Bi}_{12}\text{SiO}_{20}$ 等）薄膜を形成する。即ち、ビスマスシリケート膜は、Si基板の表面にBi原料ガスと O_2 ガスを同時に供給することにより、Si基板表面のSi、原料ガス中のBi及びOを反応させて形成される。続いて、Ti原料ガスを追加することにより、このビスマスシリケート膜上に $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜を形成している。

【0013】この方法では、絶縁膜の構成元素が、Si基板と強誘電体薄膜の構成元素に全て含まれているため、不純物元素の混入を回避できると共に、絶縁膜と強誘電体薄膜を同一の形成装置内で連続して作成することができるという利点がある。なお、 $\text{Bi}_4\text{Si}_3\text{O}_{12}$ 薄膜の形成方法として、例えば、Jpn. J. Appl. Phys. 32(1993)135-138 及び特開平5-243525号公報等に記載された方法も知られている。即ち、Si基板の表面に SiO_2 層を予め形成する。この SiO_2 層上に、MOCVD法により、 SiO_2 層の表面にBi原料ガスと O_2 ガスを同時に供給して $\text{Bi}_4\text{Si}_3\text{O}_{12}$ 薄膜が形成される。

【0014】

【発明が解決しようとする課題】上記方法で形成された強誘電体薄膜は、表面モフォロジーが板状の結晶粒から形成されているため、表面に凹凸やピンホール等が存在している。従って、表面の凹凸に起因して面内に局所的

な膜厚不足が生じたり、ピンホールに起因して200nm以下の薄い膜厚で良好な強誘電特性を得ることが困難であった。また、半導体装置の駆動電圧を低下させるという観点から、MFIS構造において強誘電体薄膜の膜厚をより薄くすることが望まれているが、そのためには強誘電体薄膜をより緻密に形成する必要があった。

【0015】また、ビスマスシリケート膜を形成した後、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜を形成する場合、途中でTi原料ガスを追加する必要があるが、これに伴って、その他の形成条件(キャリアガスの流量等)の変更が必要となるため、形成工程が煩雑であった。更に、半導体基板とビスマスシリケート膜との相互拡散等を抑制し、それらの間の界面状態の劣化を防止することによりメモリ保持時間の長いMFIS構造のメモリセルを得るために、ビスマスシリケート膜の形成温度(例えば、 Bi_2SiO_5 の場合、550℃以上)を更に低温化することが望まれていた。

【0016】

【課題を解決するための手段】本発明の発明者等は、鋭意検討の結果、上記課題を解決すると共に、Si基板と強誘電体薄膜との良好な界面状態を実現することにより、メモリ保持時間の長いMFIS構造のメモリセルを得ることができることを見だし本発明に至った。

【0017】かくして本発明によれば、 Bi_2SiO_5 中に原子濃度比Bi/Tiが3以上でTiを含有した結晶性物質からなる絶縁体材料が提供される。また、本発明によれば、Si基板上に、上記の絶縁体材料が絶縁膜として形成されてなることを特徴とする絶縁膜被覆基板が提供される。更に、本発明によれば、上記の絶縁膜被覆基板を構成する強誘電体薄膜上面及びSi基板の下面に電極を有し、上部電極/強誘電体薄膜/絶縁膜/Si基板/下部電極の構造からなることを特徴とする薄膜素子が提供される。

【0018】また、本発明によれば、上記の絶縁膜が、Biを含む金属化合物とTiを含む金属化合物とからなる原料を加熱気化し、これら気化ガスを、不活性キャリアガス及び酸素ガスと共に、所定温度に加熱保持したSi基板上に、所定圧力で、同時に供給することにより形成されることを特徴とする絶縁膜被覆基板の製造方法が提供される。

【0019】

【発明の実施の形態】本発明の絶縁体材料は、 Bi_2SiO_5 中に原子濃度比Bi/Tiが3以上でTiを含有した結晶性物質からなる。本発明の絶縁体材料は、任意の基板上に形成された際、Tiを含有しない絶縁体材料と比較して、表面の緻密化及び平滑化が可能である。このTiは Bi_2SiO_5 の形成時に、極微小の酸化チタン結晶核となり、この結晶核は緻密な Bi_2SiO_5 の形成に寄与していると考えられる。なお、原子濃度比Bi/Tiが3未満の場合、酸化チタン結晶相が混在して

しまうので好ましくない。特に好ましい原子濃度比Bi/Tiは、3~5である。

【0020】更に、本発明の絶縁膜被覆基板は、上記の絶縁体材料からなる絶縁膜が、Si基板上に形成されてなる。ここで、Si基板上に形成される絶縁膜は、この基板が使用される用途により相違するが、20nm以下の厚さ(好ましくは、10~20nm)とすることが可能である。ここで、Si基板は、絶縁膜形成面において、(100)面の単結晶から構成されていることが好ましい。このようなSi基板を使用することにより、Si基板上に形成される絶縁膜の配向性を(100)方向優先の配向性に制御することが可能となる。

【0021】また、絶縁膜は、(100)方向優先の配向性を有することが好ましい。このような、配向性の絶縁膜を使用することにより、以下で説明するBi系層状構造の酸化物の配向性を(001)方向(以下、c軸方向と称する)に再現性良く制御することが可能となる。次に、絶縁膜上には、Bi系層状構造の酸化物からなる強誘電体薄膜を形成することが好ましい。ここで、絶縁膜は、強誘電体薄膜を形成する際のバッファ層としての役割も果たす。なお、強誘電体薄膜/絶縁膜/Si基板からなる積層構造を、MFIS構造と称する。Bi系層状構造の酸化物としては、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{SrBi}_2\text{Nb}_2\text{O}_9$ 、 $\text{SrBi}_2(\text{Ta}, \text{Nb})_2\text{O}_9$ 等が挙げられる。この内、特に $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ が好ましい。また、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の配向性がc軸方向に制御されていれば、強誘電体薄膜の抗電界を小さくすることができるのでより好ましい。抗電界を小さくすることにより、低電圧で駆動でき、メモリ保持時間の長い1トランジスタ型のMFIS構造メモリセルや赤外線センサアレイ等を開発することが可能となる。

【0022】強誘電体薄膜は、絶縁膜より厚いことが好ましい。強誘電体薄膜の厚さが、絶縁膜より薄いと、強誘電体薄膜部分のキャパシタンスが大きくなり過ぎて、電圧を印加した際に、強誘電体薄膜に分配される電圧が小さくなってしまうので好ましくない。より具体的には、この強誘電体薄膜が使用される用途により相違するが、50~300nmとすることが可能である。なお、上記でも述べたように、絶縁膜は表面の緻密化及び平滑化が可能であるため、その上に形成される強誘電体薄膜は、膜厚を薄くしても凹凸が少なくなる。また、強誘電体薄膜の表面モフォロジーも、下地となる絶縁膜の表面が緻密及び平滑であることを反映して、緻密及び平滑にすることができる。従って、凹凸に起因するリーク電流の発生を抑制することができるため、MFIS構造を構成する各膜の膜厚をより薄くすることができる。この結果、MFIS構造をメモリセルに使用した場合、強誘電体薄膜をより低い印加電圧で分極反転させることが可能となる。

【0023】本発明の絶縁膜被覆基板を構成する各膜の好ましい組み合わせは、c軸配向 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜／(100)方向優先の配向性を有する Bi_2SiO_5 膜／(100)面単結晶Si基板の組み合わせである。この組み合わせによれば、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜の配向性をc軸方向に制御することが可能である。従って、小さい抗電界特性を有するc軸配向の $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜を有効に利用することができる。

【0024】更に、本発明では、絶縁膜被覆基板を構成する強誘電体薄膜上面及びSi基板の下面に電極を有し、上部電極／強誘電体薄膜／絶縁膜／Si基板／下部電極の構造からなる薄膜素子も提供される。薄膜素子としては、メモリ素子、焦電素子、圧電素子等が挙げられる。この内、薄膜素子の構造中、上部電極／強誘電体薄膜／絶縁膜からなる構造が、MOS-FETのゲート素子として機能する構造であることが好ましい。更に、薄膜素子は、強誘電体メモリ素子のメモリセルであることがより好ましい。

【0025】電極には、当該分野で公知の導電性材料をいずれも使用することができる。例えば、Pt、Ir、 IrO_2 、 RuO_2 等が挙げられる。次に、本発明の絶縁膜被覆基板の製造方法を説明する。まず、絶縁膜は、Biを含む金属化合物とTiを含む金属化合物とからなる原料を加熱酸化し、これら酸化ガスを、不活性キャリアガス及び酸素ガスと共に、所定温度に加熱保持したSi基板上に、所定圧力で、同時に供給することにより形成される。なお、上記絶縁膜の製造方法は、一般に、MOCVD法と称される。

【0026】Biを含む金属化合物としては、 $\text{Bi}(\text{C}_6\text{H}_5)_3$ 、 $\text{Bi}(\text{o-C}_7\text{H}_7)_3$ 等の有機及び無機金属化合物が挙げられる。一方、Tiを含む金属化合物としては、 $\text{Ti}(\text{i-OC}_3\text{H}_7)_4$ 、 $\text{Ti}(\text{DPM})_2\text{Cl}_2$ 、 $\text{Ti}(\text{DPM})_2(\text{i-OC}_3\text{H}_7)_2$ 、 $\text{Ti}(\text{DPM})_2(\text{OCH}_3)_2$ 等の有機及び無機金属化合物が挙げられる。

【0027】上記原料は、加熱することにより酸化させた後、アルゴン、 N_2 等の不活性キャリアガス及び酸素ガスと共に絶縁膜作成用のチャンバー内に導入される。チャンバー内の圧力は、使用する原料の種類、Si基板の加熱温度等の条件に応じて適宜設定することができる。好ましい圧力は5～10 Torrである。また、Si基板の加熱温度は500～600℃であることが好ましい。更に、形成時間は、10～30分間であることが好ましい。なお、上記でも記載したように、(100)面の単結晶からなるSi基板を使用することにより、絶縁膜の配向性を(100)方向優先の配向性に制御することができる。

【0028】次に、上記絶縁膜上には、Bi系層状構造の酸化物からなる強誘電体薄膜を形成することが可能である。強誘電体薄膜の形成方法は、上記絶縁膜と同じ、

MOCVD法を利用することができる。なお、チャンバー内の圧力は、使用する原料の種類、Si基板の加熱温度等の条件に応じて適宜設定することができる。好ましい圧力は2～5 Torrである。また、Si基板の加熱温度は450～600℃であることが好ましい。更に、形成時間は、10分以上であることが好ましく、特に20～60分間であることが好ましい。

【0029】特に、強誘電体薄膜が $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ からなる場合、同一形成装置を用い、連続して絶縁膜と強誘電体薄膜を形成することができる。更に、本発明者等は、絶縁膜と強誘電体薄膜の形成条件を詳細に検討した結果、強誘電体薄膜が $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ からなる場合、絶縁膜の形成条件のうち、形成圧力のみを変更するだけで作成できることを見いだしている。従って、形成圧力のみを変更し、その他の条件(原料供給条件及び基板温度)は同一にすることができるので、絶縁膜と強誘電体薄膜を非常に簡便に形成することができる。

【0030】更に、 Bi_2SiO_5 と $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の結晶化温度は、それぞれ500℃以上及び450℃以上であるため、従来より50℃以上低温で絶縁膜及び強誘電体薄膜を形成することができる。従来より低温で形成することができるため、Si基板、絶縁膜及び強誘電体薄膜を構成する成分の相互拡散や反応を効果的に抑制し、良好な界面を再現性よく得ることができる。そのため、MFIS構造でのC-Vヒステリシス特性の保持時間を向上させることができる。

【0031】また、(100)方向優先の配向性を有する絶縁膜上に強誘電体薄膜を形成することにより、得られる強誘電体薄膜の配向性をc軸配向に制御することができる。なお、上記絶縁膜被覆基板を薄膜素子に使用する場合、Si基板の下面及び強誘電体薄膜の上面にそれぞれ電極が形成されるが、これら電極の形成方法は特に限定されず、公知の方法をいずれも使用することができる。

【0032】

【実施例】実施例1

図1に示すように強誘電体薄膜素子を形成した。即ち、Si基板2、その表面に形成された酸化物からなる絶縁膜としてのビスマスシリケート(Bi_2SiO_5)膜3、その上に形成された強誘電体薄膜としての $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜4とからなり、更に、Si基板2の下面と強誘電体薄膜4の上面に、それぞれ下部電極1と上部電極5が形成されている。

【0033】本実施例では、Si基板2上でのビスマスシリケート膜3の形成条件について詳細に検討した。ビスマスシリケート膜3の形成装置として、縦型のMOCVD装置を使用した。この装置は、チャンバー内に水平に置かれた基板加熱ホルダー上のSi基板に、チャンバーの上部に設置されたノズルから原料を供給する構成とした。Bi原料としてトリオルトトリルビスマス(Bi

($\text{o-C}_7\text{H}_7$)₃) を使用し、Ti 原料としてチタンテトライソプロポキサイド ($\text{Ti}(\text{i-OC}_3\text{H}_7)_4$) を使用し、キャリアガスは Ar ガス、酸化ガスは O_2 を使用した。

【0034】以下の形成条件でビスマスシリケート膜3を形成した。

基板: (100) 面の P 型 Si 基板、比抵抗 $< 0.2 \Omega \text{ cm}$

Bi 原料: $\text{Bi}(\text{o-C}_7\text{H}_7)_3$ 加熱温度 160°C 、
キャリアガス (Ar) 流量 300 sccm

Ti 原料: $\text{Ti}(\text{i-OC}_3\text{H}_7)_4$ 加熱温度 50°C 、
キャリアガス (Ar) 流量 50 sccm

酸化ガス: O_2 、流量 1000 sccm

バランスガス: Ar、流量 1250 sccm

基板温度: $400, 450, 500, 550, 600^\circ\text{C}$
の5種類

形成圧力: 2、5、 10 Torr の3種類

形成時間: 30分

*ビスマスシリケート膜の形成を以下の手順で行った。まず、Si 基板表面の酸化膜を HF 水溶液により除去し、純水で洗浄した。次いで、Si 基板をチャンバー内の基板ホルダー上にセットし、速やかにチャンバー内を 10^{-7} Torr 台まで真空排気した。この後、上記形成条件でビスマスシリケート膜3を形成し、室温まで徐々に冷却した後、Si 基板を取り出した。ビスマスシリケート膜の結晶性を XRD により評価し、表面モフォロジーと膜厚を SEM により評価した。結果を表1に示した。なお、図2(a)~(c)に基板温度 500°C 、形成圧力 2、5 及び 10 Torr で作成したビスマスシリケート膜の XRD パターンを示した。また、図3(a)~(c)には、形成圧力 2 Torr 、 10 Torr 及び Ti 原料を供給しない場合のビスマスシリケート膜の表面モフォロジーを示した。

【0035】

【表1】

*

		基板温度 ($^\circ\text{C}$)				
		400	450	500	550	600
圧力 (Torr)	2	非晶質	非晶質	非晶質	弱いBIT(パイロ)	弱いBIT(パイロ)
	5	非晶質	非晶質	BSO(100)	BSO(100)	BIT+BSO(100)
	10	非晶質	非晶質	BSO(100)	BSO(100)	BIT+BSO(ランダム)

BIT: チタン酸ビスマス ($\text{Bi}, \text{Ti}, \text{O}$, 層状ペロブスカイト相)

BIT (パイロ): チタン酸ビスマス ($\text{Bi}, \text{Ti}, \text{O}$, パイロクロア相)

BSO: Bi_2SiO_5

【0036】表1及び図2から、基板温度が $500 \sim 550^\circ\text{C}$ の範囲で、形成時に Ti 原料を供給しているにもかかわらず、形成圧力が高くなるにつれて非晶質状態からチタン酸ビスマスではなくビスマスシリケート (Bi_2SiO_5) が形成されており、その配向性は (100) 方向の単一配向であることが判った。また、反射ピーク強度も形成圧力が高くなると共に増大していることが判った。

【0037】一方、図3(b)から、単一配向のビスマスシリケート膜の表面モフォロジーが、非晶質の場合と同等に緻密かつ平滑であることが判った。基板温度を 600°C に上げると、チタン酸ビスマスが成長した。つまり、Si 基板表面では、形成温度が低い場合、チタン酸ビスマスよりもビスマスシリケートの方が結晶化しやすく、かつ Si 基板の (100) 面に対して格子整合性の※50

※よい Bi_2SiO_5 (100) 方向の配向が優先的に形成されることが判った。

【0038】なお、比較のために、図3(c)に Ti 原料を供給せずにビスマスシリケート膜を作成した場合の表面モフォロジーを示した。図3(c)から判るように、Ti 原料を供給したものよりビスマスシリケート膜の表面が荒れていることが判った。このことは、Ti が Bi_2SiO_5 の結晶粒の成長を抑制していることを示している。即ち、本実施例では、Ti は極めて酸化しやすいため、形成初期に Si 基板表面で極微小の酸化チタン結晶核が高密度に生じ、これを核として Bi_2SiO_5 の結晶が成長するため、核のない(つまり、Ti 原料を供給しない)場合よりも緻密な膜が得られたものと考えられる。

【0039】また、Ti 原料を供給することで、ビスマ

スシリケート膜はTiを含有することとなるが、後述のMFIS構造のメモリセルに適用する場合は、ビスマスシリケート膜は絶縁膜として使用されるので、MFIS構造のメモリセルの電気特性には影響しない。更に、形成圧力が10 Torrより高い場合、原料ガスの気相反応が起こりやすくなり、酸化ビスマス等のパーティクルが発生した。従って、パーティクルが発生しない5~10 Torrの形成圧力が好ましいことが判った。

【0040】各結晶材料同士の格子定数から見積もった格子ミスマッチの値を以下に示す。

Bi_2SiO_5 (100) 面/ Si (100) 面: -0.5%

$\text{Bi}_4\text{Ti}_3\text{O}_{12}$ (001) 面/ Bi_2SiO_5 (100) 面: 0.5%

基板温度が600℃になると、表1に示したようにチタン酸ビスマスが生成し始めると同時に Bi_2SiO_5 の(100)方向優先の配向性が失われてしまった。

【0041】従って、Si基板の表面に緻密かつ平滑な(100)方向優先の配向性を有するビスマシリケート膜を得るためには、基板温度が500~600℃の範囲で、かつ形成圧力が5~10 Torrの範囲であることが特に好ましいことが判った。

【0042】実施例2

基板温度を500℃、形成圧力を10 Torrとし、形成時間を5、10、20、30、60分とすること以外は、実施例1と同様にしてビスマシリケート膜を形成した。

【0043】図4(a)~(c)は、それぞれ形成時間10、30及び60分の場合のXRDパターンを示している。図4(a)~(c)では、全てのビスマシリケート膜が(100)方向優先の配向性を有していることが判った。次に、図5(a)及び(b)に、形成時間30及び60分の場合のSEMによるビスマシリケート膜の表面モフォロジーを示した。この図から、形成時間が長くなるにつれて、表面モフォロジーの荒れが見られた。このことから、絶縁膜として用いるためには、形成時間を30分以内にすることが望ましいことが判った。なお、形成時間30分でのビスマシリケート膜の膜厚は、断面SEM観察から約20 nmであった。

【0044】一方、それぞれのビスマシリケート膜中のTi含有量をEPMA分析した結果を図6に示す。図6で、縦軸は膜中のBiとTiとの原子濃度の比、横軸は形成時間を示す。形成時間が長くなるにつれて膜中のBi濃度が増加する傾向が見られた。即ち、ビスマシリケート膜成長初期にはTiが多く膜中に存在すること

が示されている。このことは上で述べたように、形成初期にSi基板表面で極微小の酸化チタン結晶核が高密度に生じ、これを核として緻密な Bi_2SiO_5 の薄膜結晶が成長したとの仮定を支持する結果となっている。ここで、形成時間5分の場合、XRDパターンからは Bi_2SiO_5 の結晶が得られているが、基板全面を覆うには膜厚が薄すぎるため、10分以上が好ましいことが判った。その結果、図6から Bi_2SiO_5 膜中Bi/Ti比は3以上が望ましい。

10 【0045】実施例3

実施例1及び2の結果を踏まえ、基板温度500℃、形成圧力10 Torr、形成時間30分の条件で作成した(100)方向優先の配向性を有するビスマシリケート膜上に $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜を形成した。形成条件は以下の通り。

Bi原料: $\text{Bi}(\text{o}-\text{C}_7\text{H}_7)_3$ 加熱温度160℃、
キャリアガス(Ar)流量300 sccm

Ti原料: $\text{Ti}(\text{i}-\text{OC}_3\text{H}_7)_4$ 加熱温度50℃、
キャリアガス(Ar)流量50 sccm

20 酸化ガス: O_2 、流量1000 sccm

バランスガス: Ar、流量1250 sccm

基板温度: 400、450、500、550、600℃
の5種類

形成圧力: 2、5 Torrの3種類

形成時間: 60分

図7(a)~(c)に基板温度500℃で作製した薄膜のXRDパターンを示した。この図から、(100)方向優先の配向性を有するビスマシリケート膜からのXRDパターンに加えて、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜のc面反射(004)、(006)、(008)、(0010)、(0012)、(0014)、(0016)のみが得られており、明らかにc軸配向の $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜が得られていることが判った。また、結晶性は2θとした方が良好であることが判った。更に、注目すべき点は、(100)方向優先の配向性を有するビスマシリケート膜のXRD強度が $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜の形成前後で変化していないことである。即ち、ビスマシリケート膜は上部の $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜の配向性の制御に有効に作用すると同時に、相互拡散や反応等の変化(変質)が起こっていないことを示している。

【0046】表2に各条件で作成した試料のXRDパターンから得られた $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜の配向性評価結果を示した。

【0047】

【表2】

13

14

		基板温度 (°C)				
		400	450	500	550	600
圧力 (Torr)	2	パイロ	C	C	C	C
	5	パイロ	A/C	C	C	C

C : c軸配向 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ パイロ : パイロクロア相 ($\text{Bi}_2\text{Ti}_2\text{O}_7$)

【0048】更に、形成圧力を2Torrとし、基板温度が500℃と600℃の場合の表面モフォロジーを図8(a)及び(b)に示した。この図から、基板温度が高くなるにつれて、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜の結晶粒成長が促進することにより、表面荒れが大きくなることが判った。よって、表2、図8(a)及び(b)から、表面平滑なc軸配向の $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜を得るためには、450~600℃の範囲が好ましいことが判った。

【0049】実施例4

上記実施例3と同様にして、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜(膜厚50nm)/ビスマスシリケート膜(膜厚20nm)/Si基板からなる構造(MFIS構造)の基板を強誘電体薄膜で被覆した試料を作成した。なお、作成条件は、基板温度500℃とし、形成圧力をビスマスシリケート膜の形成時には10Torr、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜の形成時には2Torrとした。 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜の表面に直径100 μm φの上部電極Ptを蒸着した。更に、Si基板下面には、酸化膜を除去した後、下部電極Alを全面蒸着することにより試料を作成した。

【0050】この試料のC-Vヒステリシス特性を評価した結果を図9(a)及び(b)に示した。ここで、図9(b)は上記試料であり、図9(a)は比較のために $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜を形成しないこと以外は、上記と同様に作成した試料である。図9(a)から、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜のないビスマスシリケート膜だけでは、通常の常誘電体を用いたMOS構造で予想されるように、C-Vヒステリシス特性はなかった。一方、図9(b)から、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜を積層した試料では、明らかに強誘電性を反映したC-Vヒステリシス特性を得ることができることが判った。また、印加電圧 $\pm 3\text{V}$ でのヒステリシスのウィンドー幅は約0.5Vであり、更に電圧を印加してもウィンドー幅は変化しなかった。更に、図9(b)では、強誘電特性は3Vで充分飽和しており、このような低い電圧で飽和特性が得られることは、c軸配向の $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜の低い抗電界と $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜及びビスマスシリケート膜の厚さが薄いことを反映した結果であると考えられる。また更に、50nmという薄い膜厚の $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜

*で、このような良好なC-Vヒステリシス特性が得られるのは、この膜が緻密で表面平滑性に優れているためである。

【0051】次に、図10にC-Vヒステリシス特性の保持性の評価結果を示した。図10は、+3V又は-3Vのバイアス電圧を試料に印加して分極方向を描いた後、電圧をゼロに戻してから放置時間に対するバイアス電圧0Vでのキャパシタンスの値(図9(b)のA及びB点)の変化を示している。もし、MFIS構造を構成する各膜内及び界面に欠陥等に起因する空間電荷が存在すれば、反電場等の影響で強誘電体薄膜内部で空間電荷の移動がおり、自発分極状態(即ち、ヒステリシス特性)が徐々に失われていくことが予想される。この場合、メモリウィンドー幅が減少するので、自発分極状態を反映してバイアス0Vで存在していた、2種類のキャパシタンス値(A及びB)が、徐々に近づき1つの値しか示さなくなる。ところが、図10に示した本実施例のキャパシタンス値の時間変化は、24時間放置後においても全く見られなかった。従って、自発分極状態は変化していないことが判った。

【0052】従来技術の欄に記載した文献Jpn. J. Appl. Phys. 34(1995)4163-4166の $\text{PbTiO}_3/\text{CeO}_2$ 系では約11時間を越えた辺りからキャパシタンス値が変化していることと比べると、本実施例の $\text{Bi}_4\text{Ti}_3\text{O}_{12}/\text{Bi}_2\text{SiO}_5$ 系のキャパシタンス値の保持特性が優れていることが示されている。即ち、本実施例の $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜/ビスマスシリケート膜/Si基板からなる構造では、各膜間の界面で欠陥等の発生が、従来の材料及び形成方法に比べて少ないと考えられる。従って、MOS-FETのゲートに、このMFIS構造を用いることで、信頼性の高い(即ち、キャパシタンス値の保持特性の良好な)不揮発メモリ動作が可能となる。

【0053】実施例5

実施例3と同様の形成方法を使用して、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜の膜厚を変えて作成したMFIS構造のC-Vヒステリシス特性を測定した。即ち、形成温度が500℃と低い条件ではあるが、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜の形成時間を長した場合、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜/ビスマスシ

15

リケート膜/Si基板の積層構造の界面状態が劣化する
か否かを調べた。ビスマスシリケート膜の膜厚を50nm
で一定にして、その上に膜厚100、200、300
nmのBi₄Ti₃O₁₂薄膜をそれぞれ形成した。作成
したMFIS構造のC-Vヒステリシス特性を図11に
示す。

【0054】図11から明らかなように、Bi₄Ti₃O₁₂薄膜の膜厚が厚くなるにつれて、キャパシタンスが
小さくなり、メモリウインドー幅が広くなることが判っ
た。一方、単純な積層キャパシタモデルから、キャパシ
タンスは膜厚の逆数に比例し、メモリウインドー幅は膜
厚に比例することが期待されるが、図11はそのモデル
と比較的良好一致を示している。このことは、形成時間
を4倍(膜厚を4倍)にしても、MFIS構造の各膜の
界面状態が良好に保たれていることを意味している。従
って、本実施例のBi₄Ti₃O₁₂薄膜/ビスマスシリ
ケート膜/Si基板の積層構造を用いたMFIS構造
は、形成温度を低くすることができ、緻密・平滑な膜構
造を得ることができ、C-Vヒステリシス特性の優れた
再現性を有している。

【0055】実施例6

実施例3及び4で使用したBi₄Ti₃O₁₂薄膜/ビスマスシリケート膜/Si基板の積層構造をMOSFET
のゲート絶縁膜の代わりに用いた強誘電体ゲートFET
を作成する。図12に、その概略断面図を示す。図12
の強誘電体ゲートFETは、1トランジスタ型不揮発性
メモリの基本素子である。即ち、強誘電体薄膜の分
極方向に依存したソースドレイン間のチャネル領域の
空乏層の有無に対応して、ソースドレイン間の電流の
大きさに差が発生する。従って、この電流を検出するこ
とで、強誘電体薄膜の分極状態、即ち1か0の2値情報
を読み取ることが可能である。

【0056】以下では、図12の強誘電体ゲートFET
の製造方法及び動作について説明する。まず、Si基板
21上に、実施例3及び4と同様にして、ビスマスシリ
ケート膜24、Bi₄Ti₃O₁₂薄膜25及びゲート電
極層(上部電極)26を形成する。続いて、ソース22
及びドレイン23を形成する領域のビスマスシリケート
膜24、Bi₄Ti₃O₁₂薄膜25及びゲート電極層2
6をエッチングして除去する。次に、イオン注入法によ
りソース22及びドレイン23を形成する。更に、全体
をPSG層間絶縁膜30で被覆する。この後、ソース2
2、ドレイン23及びゲート電極層26上のPSG層間
絶縁膜30を除去することでコンタクトホールを形成す
る。次いで、コンタクトホールに金属からなる配線(2
7、28、29)を形成することにより強誘電体ゲート
FETを形成する。

【0057】上記強誘電体ゲートFETは以下のように
動作させる。まず、コントロール用のゲート電極層26
に正又は負のパルス電圧を印加し、Bi₄Ti₃O₁₂薄

16

膜25の自発分極方向を設定することで情報を書き込
む。Bi₄Ti₃O₁₂薄膜25の自発分極方向に対応し
て、ゲート直下の半導体表面に空乏層が発生する場合と
しない場合の2つの状態が生じる。これは、上記実施例
で説明したC-Vヒステリシス特性に起因するものであ
る。従って、Bi₄Ti₃O₁₂薄膜25の自発分極方向
によって、ソース22とドレイン23の間に流れる電流
をON-OFFすることが可能となる。ソースドレイン
間の電流を検出することで自発分極の方向(即ち、情
報)を読み出すことが可能となる。このように、情報の
読み出しに際して、Bi₄Ti₃O₁₂薄膜25の分極状
態は維持されるため、書き込まれた情報は、読み出し動
作によっても破壊されることはない。また、本実施例で
は、Bi₄Ti₃O₁₂薄膜/ビスマスシリケート膜/Si
基板の積層構造からなる強誘電体ゲートFETである
ため、情報(メモリ)の保持時間も長くすることができ
る。

【0058】

【発明の効果】本発明によれば、Bi系層状構造酸化物
強誘電体薄膜を1トランジスタ型の不揮発性メモリや赤
外線センサアレイに用いる際の課題である、Si基板上
への高品質な強誘電体薄膜の形成を、再現性よく実現す
ることができる。即ち、本発明の製造方法を用いること
で、Bi系層状構造酸化物強誘電体薄膜のc軸方向の優
れた強誘電特性を有効に引き出すことができる。更に、
強誘電体薄膜を低温で形成できるため、Si基板との反
応及び相互拡散を防止することができる。また、緻密で
表面が平滑な強誘電体薄膜を得ることができるので、よ
り薄い膜厚でも良好な強誘電特性を引き出すことができ
る。従って、この強誘電体薄膜を用いたMFIS構造の
素子は、低電圧で分極反転が可能であるため、動作電圧
を低く、かつメモリ保持時間を長くすることができる。

【0059】また、MFIS構造に適した、緻密及び表面
が平滑な(100)方向優先の配向性を有する絶縁膜
を再現性よく形成することができる。絶縁膜の形成にM
OCVD法を使用し、Si基板上にBi原料にTi原料
を添加して供給することで、より緻密及び表面が平滑な
絶縁膜を得ることができる。更に、(100)方向優先
の配向性を有する絶縁膜上に、c軸配向の強誘電体薄膜
(例えば、Bi₄Ti₃O₁₂薄膜)を再現性よく形成す
ることができる。

【0060】また、(100)方向優先の配向性を有す
る絶縁膜の上にc軸配向のBi₄Ti₃O₁₂薄膜を形成
する際に、同一のMOCVD法用の形成装置、原料供給
条件及びSi基板温度等のパラメータ(形成圧力は除
く)を一定にすることが可能となる。そのため、従来の
形成方法のように、形成条件の変更に伴い、途中で複数
のパラメータを再調整する必要がなくなり、より簡便
に形成することができる。

【0061】更に、緻密及び表面が平滑な絶縁膜を形成

10

30

40

50

することができるため、絶縁膜自体の膜厚を薄くすることができる。そのため、絶縁膜上に形成される強誘電体薄膜に分配される電圧を大きくすることができる。また、絶縁膜上に形成される $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜も緻密及び平滑な表面になるため、強誘電体薄膜自体の膜厚も薄くしても、ピンホールによるリーク電流が発生することはない。従って、強誘電体薄膜を薄くすることができ、更に抗電界の小さいc軸配向の強誘電体薄膜を使用すれば、分極を反転させるために必要な印加電圧を小さくすることができる。

【0062】また、上記絶縁膜及び強誘電体薄膜を使用したMFIS構造をFETのゲート等に適用することができる。特に、実施例で述べたように、MFIS構造を構成する各膜の格子不整合が小さいこと、形成温度が低いため各膜の界面での反応や相互拡散を抑制できることから、メモリ保持時間を短くする欠陥や可動電荷の発生を防止することができる。従って、従来の薄膜素子に比べて、メモリ保持時間を長くすることができる。

【図面の簡単な説明】

【図1】本発明の薄膜素子の概略断面図である。

【図2】実施例1のビスマスシリケート膜のX線回折パターンを示す図である。

【図3】(a)及び(b)は実施例1のビスマスシリケート膜の表面モフォロジーを示す写真であり、(c)は比較のためのビスマスシリケート膜の表面モフォロジーを示す写真である。

【図4】実施例2のビスマスシリケート膜のX線回折パターンを示す図である。

【図5】実施例2のビスマスシリケート膜の表面モフォロジーを示す写真である。

【図6】実施例2のビスマスシリケート膜のEPMA分析結果を示す図である。

【図7】実施例3の $\text{Bi}_4\text{Ti}_3\text{O}_{12}/\text{Bi}_2\text{SiO}_5$ 積層膜のX線回折パターンを示す図である。

【図8】実施例3の $\text{Bi}_4\text{Ti}_3\text{O}_{12}/\text{Bi}_2\text{SiO}_5$ 積層膜の表面モフォロジーを示す写真である。

【図9】(a)は比較のためのC-Vヒステリシス特性を示す図であり、(b)は実施例4のC-Vヒステリシス特性を示す図である。

【図10】実施例4のC-Vヒステリシス特性の保持性を示す図である。

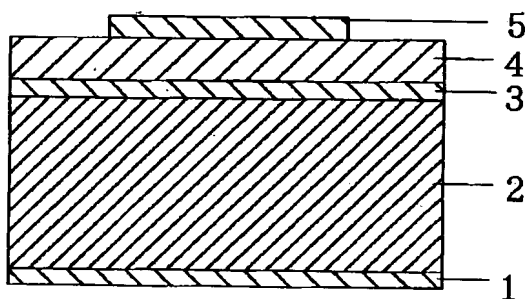
【図11】実施例5のC-Vヒステリシス特性を示す図である。

【図12】実施例6のメモリ素子の概略断面図である。

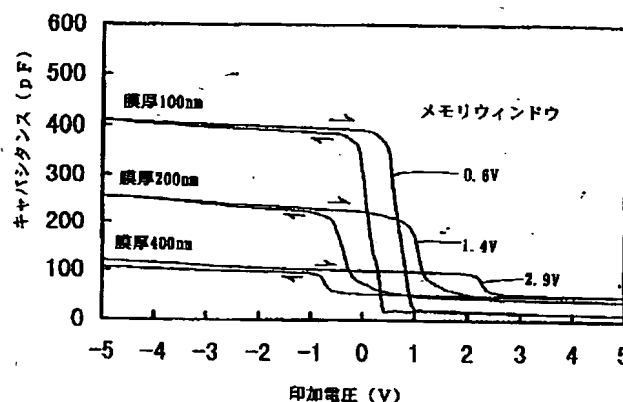
【符号の説明】

- 1 下部電極
- 2、21 Si基板
- 3、24 ビスマスシリケート膜
- 4、25 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜
- 5 上部電極
- 22 ソース
- 23 ドレイン
- 26 ゲート電極層
- 27、28、29 配線
- 30 層間絶縁膜

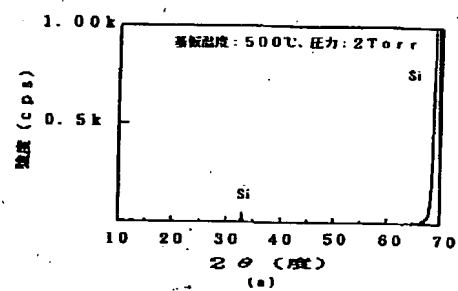
【図1】



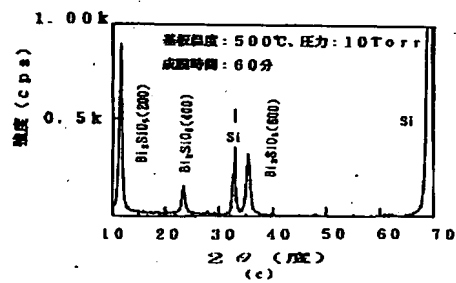
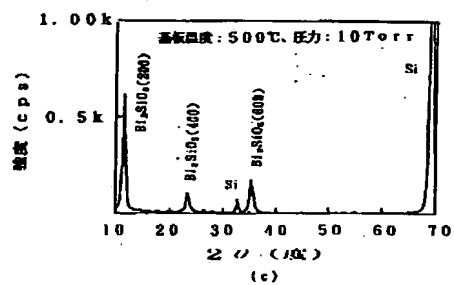
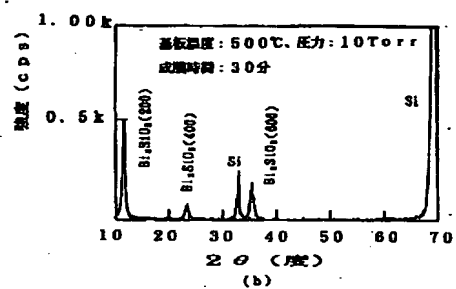
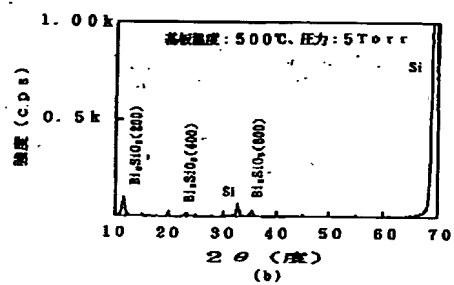
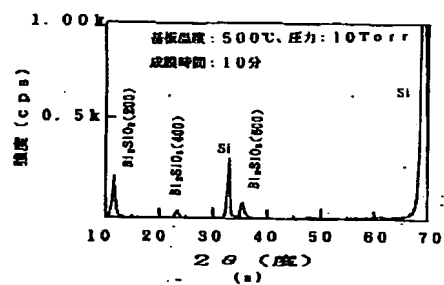
【図11】



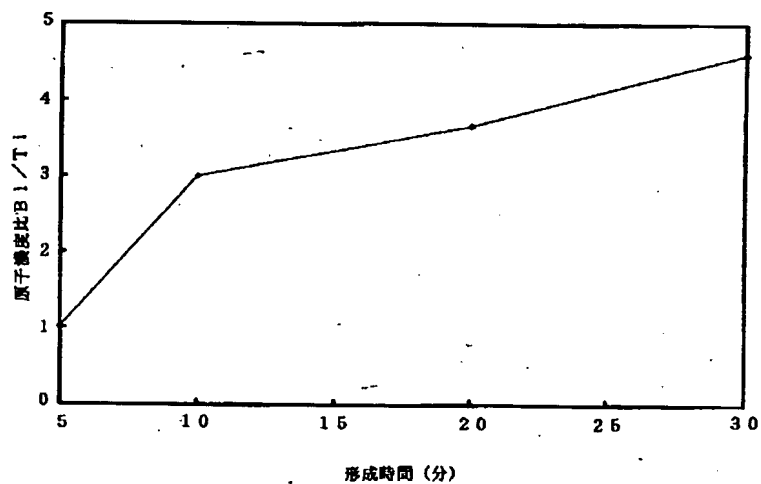
【図2】



【図4】

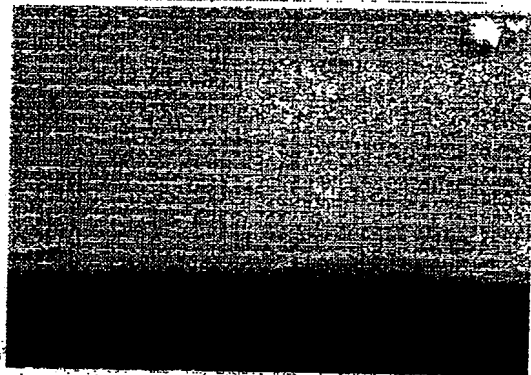


【図6】



【図3】

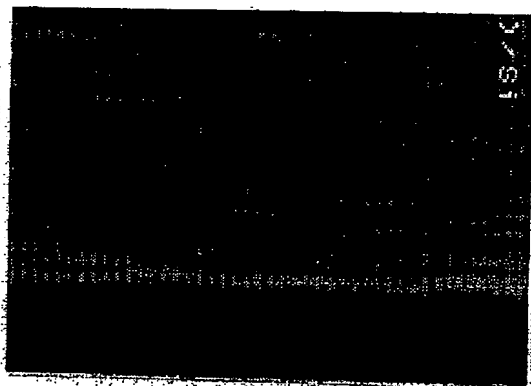
図面代用写真(カラー)



(a) 成膜圧力: 2 Torr



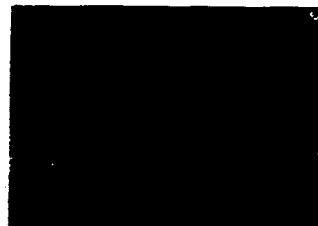
(b) 成膜圧力: 10 Torr



(c) 比較例: 10 Torr (Ti原料供給なし)

【図5】

図面代用写真(カラー)



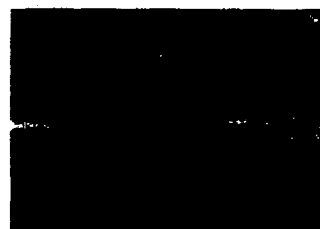
(a) 成膜時間: 30分



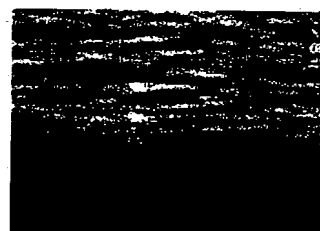
(b) 成膜時間: 60分

【図8】

図面代用写真(カラー)

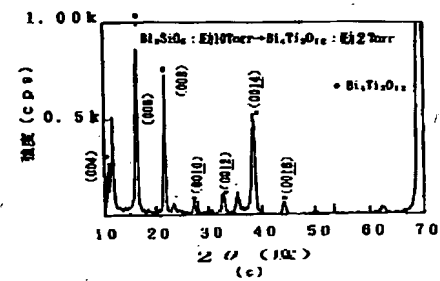
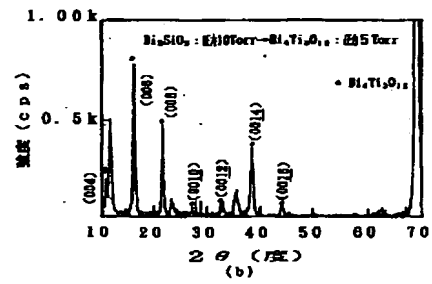
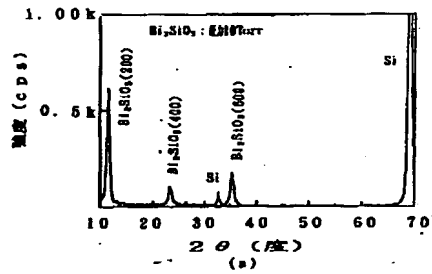


(a) 基板温度: 500°C

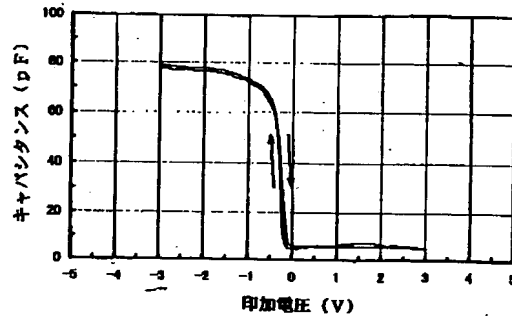
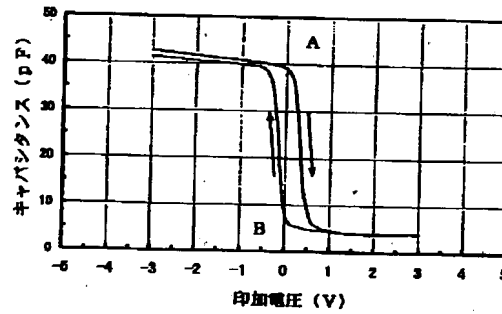


(b) 基板温度: 600°C

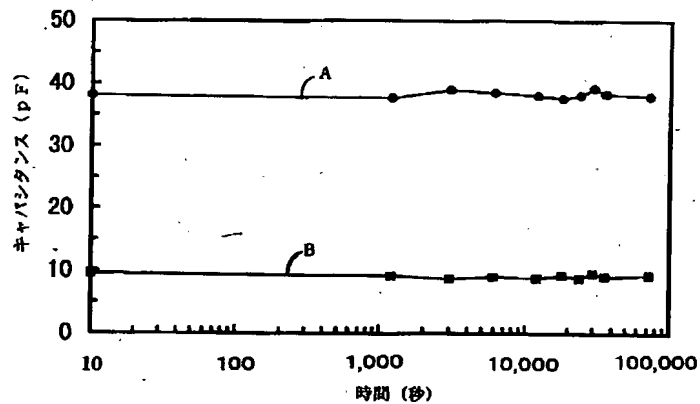
【図7】



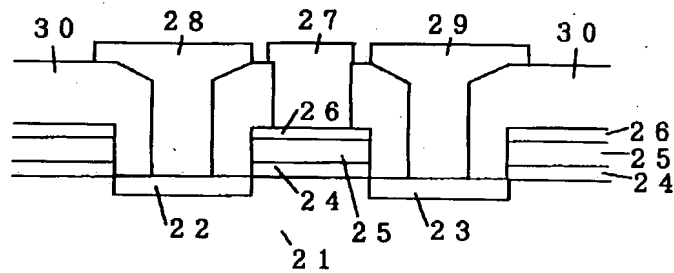
【図9】

(a) Bi_2SiO_5 膜(b) $\text{Bi}_2\text{Ti}_3\text{O}_{12}/\text{Bi}_2\text{SiO}_5$ 膜

【図10】



【図12】



フロントページの続き

(51)Int. Cl.⁶

識別記号

F I

H 0 1 L 29/788

29/792